

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11339473 A**(43) Date of publication of application: **10.12.99**

(51) Int. Cl.

**G11C 11/407**  
**G11C 11/409**  
**G11C 11/401**

(21) Application number: **10149145**(22) Date of filing: **29.05.98**

(71) Applicant:

**HITACHI LTD**

(72) Inventor:

**YAHATA HIDEJI**  
**FUJISAWA HIROKI**  
**NAKAMURA MASAYUKI**

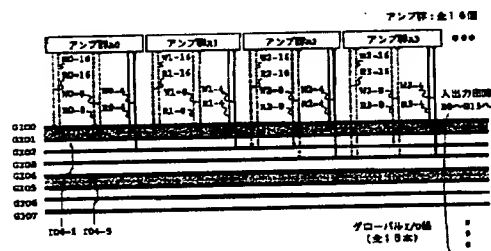
(54) **METHOD FOR ALLOTING GLOBAL I/O LINE,  
 AND SEMICONDUCTOR MEMORY APPARATUS,  
 AND DATA-PROCESSING APPARATUS**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a technique for restricting an increase of a delay time at a global I/O line part because of a change in word organization.

**SOLUTION:** Coping with a change in word organization, a global I/O line (GIO0, GIO1, GIO2,...) is divided into a read system and a write system. Allocation of the global I/O line to an input/output is changed, thereby reducing a burden. Moreover, an increase in delay time at the global I/O line is restricted. The semiconductor memory apparatus is accordingly sped up in operation.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-339473

(43) 公開日 平成11年(1999)12月10日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

G 1 1 C 11/407

G 1 1 C 11/34

3 6 2 S

11/409

3 5 4 R

11/401

3 7 1 K

審査請求 未請求 請求項の数10 O L (全 17 頁)

(21) 出願番号

特願平10-149145

(22) 出願日

平成10年(1998)5月29日

(71) 出願人

000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者

矢幡 秀治

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(72) 発明者

藤▲沢▼ 宏樹

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(72) 発明者

中村 正行

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(74) 代理人

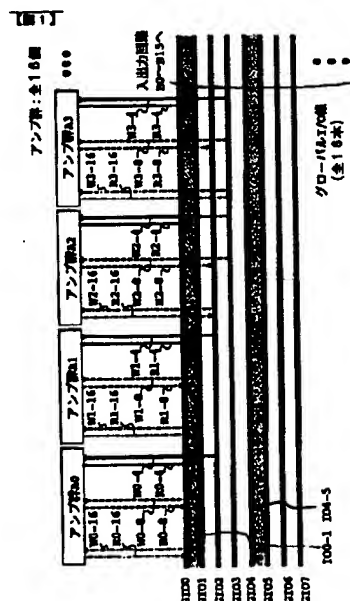
弁理士 玉村 静世

(54) 【発明の名称】 グローバル I/O 線の割り付け方法、及び半導体記憶装置、並びにデータ処理装置

(57) 【要約】

【課題】 語構成変更によるグローバル I/O 線部での遅延時間の増大を抑えるための技術を提供することにある。

【解決手段】 語構成の変更に対応して、グローバル I/O 線 (GIO0, GIO1, GIO2, ...) をリード系とライト系とに分離し、入出力に対する上記グローバル I/O 線の割り付けを変更することにより負荷の低減化を図り、グローバル I/O 線での遅延時間の増大を抑えて、半導体記憶装置の動作の高速化を達成する。



## 【特許請求の範囲】

【請求項1】 読み出しデータの外部出力及び外部からの書き込みデータの取り込みを可能とする入出力回路と、

読み出しデータを増幅するための第1アンプ及び書き込みデータを増幅するための第2アンプとが複数個形成されて成るアンプ群と、

上記入出力回路とアンプ群との間に配置され、上記読み出しデータを上記アンプ群から上記入出力回路へ伝達すると共に、上記書き込みデータを上記入出力回路から上記アンプ群に伝達するためのグローバルI/O線とを含む半導体記憶装置における上記グローバルI/O線の割り付け方法であって、

上記グローバルI/O線をリード系とライト系とに分離することで、入出力に対する上記グローバルI/O線の割り付けを変更することを特徴とするグローバルI/O線の割り付け方法。

【請求項2】 語構成の変更、又はダブル・データ・レイトのSDRAMとシングル・データ・レイトのSDRAMとの変更に応じて、入出力に対する上記グローバルI/O線の割り付けを変更する請求項1記載のグローバルI/O線の割り付け方法。

【請求項3】 メタルオプション又はボンディングオプションにより、入出力に対する上記グローバルI/O線の割り付けを変更する請求項1又は2記載のグローバルI/O線の割り付け方法。

【請求項4】 読み出しデータの外部出力及び外部からの書き込みデータの取り込みを可能とする入出力回路と、

読み出しデータを増幅するための第1アンプ及び書き込みデータを増幅するための第2アンプとが複数個形成されて成るアンプ群と、

上記入出力回路とアンプ群との間に配置され、上記読み出しデータを上記アンプ群から上記入出力回路へ伝達すると共に、上記書き込みデータを上記入出力回路から上記アンプ群に伝達するためのグローバルI/O線とを含む半導体記憶装置における上記グローバルI/O線の割り付け方法であって、

語構成の変更に応じて、上記グローバルI/O線の太さを変えることを特徴とするグローバルI/O線の割り付け方法。

【請求項5】 読み出しデータの外部出力及び外部からの書き込みデータの取り込みを可能とする入出力回路と、

読み出しデータを増幅するための第1アンプ及び書き込みデータを増幅するための第2アンプとが複数個形成されて成るアンプ群と、

上記入出力回路とアンプ群との間に配置され、上記読み出しデータを上記アンプ群から上記入出力回路へ伝達すると共に、上記書き込みデータを上記入出力回路から上

記アンプ群に伝達するためのグローバルI/O線とを含む半導体記憶装置において、

上記グローバルI/O線がリード系とライト系とに分離されることで、データ入出力に対する上記グローバルI/O線の割り付けが変更されて成ることを特徴とする半導体記憶装置。

【請求項6】 語構成の変更、又はダブル・データ・レイトのSDRAMとシングル・データ・レイトのSDRAMとの変更に応じて、入出力に対する上記グローバルI/O線の割り付けが変更されて成る請求項5記載の半導体記憶装置。

【請求項7】 メタルオプション又はボンディングオプションにより、入出力に対する上記グローバルI/O線の割り付けが変更されて成る請求項5又は6記載の半導体記憶装置。

【請求項8】 上記グローバルI/O線におけるリード系とライト系とが交互に配置されて成る請求項5乃至7のいずれか1項記載の半導体記憶装置。

【請求項9】 読み出しデータの外部出力及び外部からの書き込みデータの取り込みを可能とする入出力回路と、

読み出しデータを増幅するための第1アンプ及び書き込みデータを増幅するための第2アンプとが複数個形成されて成るアンプ群と、

上記入出力回路とアンプ群との間に配置され、上記読み出しデータを上記アンプ群から上記入出力回路へ伝達すると共に、上記書き込みデータを上記入出力回路から上記アンプ群に伝達するためのグローバルI/O線とを含む半導体記憶装置において、

語構成の変更に応じて、上記グローバルI/O線の太さが変更されて成ることを特徴とする半導体記憶装置。

【請求項10】 メモリと、上記メモリをアクセス可能な中央処理装置とを含むデータ処理装置において、上記メモリとして請求項5乃至9のいずれか1項記載の半導体記憶装置を適用したことを特徴とするデータ処理装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置におけるグローバルI/O線の割り付け技術に関し、例えば外部クロックに同期動作可能なシンクロナス・ダイナミック・ランダム・アクセス・メモリ（SDRAMと略記する）に適用して有効な技術に関する。

【0002】

【従来の技術】半導体記憶装置の一例とされるDRAMは、昭和59年11月30日に株式会社オーム社から発行された「LSIハンドブック（第486頁〜）」にも記載されているように、アドレスバッファ、デコーダ、センス増幅器などの周辺回路にはクロックに同期して動作するダイナミック型の回路が用いられ、消費電力の低

下が図られている。DRAMでは、1～3相の外部クロックが必要とされ、これらのクロックに基づいて内部回路クロックを発生させて周辺回路を制御、あるいは駆動するようにしている。そのようなDRAMにおいては、ランダムアクセスが主体であり、アクセス毎にロウアドレス、カラムアドレスの読み込みを順次行うことにより、メモリセルが選択される。周辺回路の各部は、メモリセルの情報破壊を防ぐため、行選択、メモリセル情報の検出、列選択の手順に従うように内部クロックによって制御される。通常のDRAMはシステムに搭載された状態で、システムクロックに非同期で、リードライト動作が行われるが、それに対して、システムクロックに同期して動作される半導体記憶装置として、SDRAMがある。このSDRAMは、クロックに同期してデータ、アドレス、制御信号を入出力できるため、DRAMと同様の大容量メモリをSRAMに匹敵する高速動作させることが可能であり、また、選択された1本のワード線に対して幾つのデータをアクセスするかをバーストレンクスによって指定することによって、内蔵カラムアドレスカウンタで順次カラム系の選択状態を切替えていく複数個のデータを連続的にリード又はライトできる。

#### 【0003】

【発明が解決しようとする課題】 SDRAMにはメタルオプションというのがあり、このメタルオプションにより、IO（入出力）の語構成の変更が可能とされる。従来回路では、IOの語構成が変更されても、グローバルI/O線の割り付けは変更されない。例えば、256Mbit（メガ・ビット）SDRAMにおいて、語構成が×16すなわち、データの並列入出力ビット数が16ビットのときには一つのアンプ群（メインアンプ4個分）及び1本のグローバルI/O線（リード/ライト共通）が割り付けられている。×8の場合には一つのIO当たり2個のアンプ群及び1本のグローバルI/O線（リード/ライト共通）が割り付けられる。×4の場合には、一つのIO当たり4個のアンプ群及び1本のグローバルI/O線（リード/ライト共通）が割り付けられている。つまり、×16、×8、×4のいずれの構成においても、一つのIO当たり1本のグローバルI/O線（リード/ライト共通）が割り付けられている。このため、語構成を×8、×4とするに従い、グローバルI/O線につながる負荷、つまり、リード/ライト時のファンアウト数が増大する。この結果、グローバルI/O線部の遅延時間が増大され、チップの最大動作周波数が低下される。具体的には、×16の場合におけるリード/ライト時のファンアウト数は8であるが、×8でのファンアウト数は16、×4でのファンアウト数は32となる。その結果、グローバルI/O線部の遅延時間はそれぞれ×8の場合で約10%増加し、×4の場合で約40%増加し、チップの最大動作周波数はそれぞれ約1%、4%低下される。例えば×16の際に143MHzの動作周

波数を実現していたものが、×4とすることで137MHzまでしか動作しないことになる。

【0004】また、全語構成でグローバルI/O線の割り付けを変更すること無しに上記不都合を改善するためには各語構成毎にグローバルI/O線のバッファの定数を変更するなどのマスク全層修正が必要となる。この場合、各語構成毎に全層マスクを保有することになるため、マスクコストがかさみ、結果としてチップコストの上昇は避けられない。

10 【0005】本発明の目的は、グローバルI/O線での遅延時間の増大を抑えるための技術を提供することにある。

【0006】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

#### 【0007】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

20 【0008】すなわち、読み出しデータの外部出力及び外部からの書き込みデータの取り込みを可能とする入出力回路（B0～B15）と、読み出しデータを増幅するための第1アンプ及び書き込みデータを増幅するための第2アンプとが複数個形成されて成るアンプ群（A0～A15）と、上記入出力回路とアンプ群との間に配置され、上記読み出しデータを上記アンプ群から上記入出力回路へ伝達すると共に、上記書き込みデータを上記入出力回路から上記アンプ群に伝達するためのグローバルI/O線（GIO0～GIO15）とを含んで半導体記憶装置が構成されるとき、上記グローバルI/O線をリード系とライト系とに分離し、入出力に対する上記グローバルI/O線の割り付けを変更する。

30 【0009】上記した手段によれば、上記グローバルI/O線をリード系とライト系とに分離して、入出力に対する上記グローバルI/O線の割り付けを変更することは、負荷の低減化により遅延時間の増大を抑え、動作の高速化を達成する。

40 【0010】このとき、語構成の変更、又はダブル・データ・レイトのSDRAMとシングル・データ・レイトのSDRAMとの変更に応じて、入出力に対する上記グローバルI/O線の割り付けを変更することができる。

【0011】また、上記グローバルI/O線の割り付けを変更は、メタルオプション又はボンディングオプションにより行うことができる。

【0012】さらに、クロストークの低減を図るため、上記グローバルI/O線におけるリード系とライト系とを交互に配置することができる。

50 【0013】グローバルI/O線の配線抵抗の低減化のため、語構成の変更に応じて上記グローバルI/O線の幅を変更するとよい。

【0014】上記構成の半導体記憶装置、及びそれをアクセス可能な中央処理装置を含んでデータ処理装置を構成することができる。

【0015】

【発明の実施の形態】図22には、本発明にかかるデータ処理装置の一実施形態であるコンピュータシステムが示される。

【0016】このコンピュータシステムは、システムバスBUSを介して、CPU（中央処理装置）310、RAM（ランダム・アクセス・メモリ）320、ROM（リード・オンリ・メモリ）340、周辺装置制御部350、表示系360などが、互いに信号のやり取り可能に結合され、予め定められたプログラムに従って所定のデータ処理を行うコンピュータシステムとして構成される。上記CPU310は、本システムの論理的中核とされ、主として、アドレス指定、情報の読出しと書込み、データの演算、命令のシーケンス、割り込の受付、記憶装置と入出力装置との情報交換の起動等の機能を有し、演算制御部や、バス制御部、メモリアクセス制御部などから構成される。上記RAM320や、ROM340は内部記憶装置として位置付けられている。RAM320には、CPU310での計算や制御に必要なプログラムやデータが格納される。周辺装置制御部350によって、外部記憶装置380の動作制御や、キーボード390などからの情報入力制御が行われる。また、上記表示系360によって、CRTディスプレイ370への情報表示制御が行われる。

【0017】上記RAM320には、外部クロックに同期動作可能なシンクロナス・ダイナミック・ランダム・アクセス・メモリ（SDRAM）が複数個結合されて成るメモリモジュールが適用される。上記メモリモジュールは、特に制限されないが、入出力のビット構成は36ビットとされる。このうち、32ビットがデータ用として、残り4ビットがパリティビット用とされる。図22に示されるバスBUSは、特に制限されないが、36ビット構成である。

【0018】図23には上記SDRAM15の構成例が示される。

【0019】図23に示されるSDRAM15は、特に制限されないが、公知の半導体集積回路製造技術によって単結晶シリコン基板のような一つの半導体基板に形成され、メモリバンクAを構成するメモリアレイ200AとメモリバンクBを構成するメモリアレイ200Bを備える。それぞれのメモリアレイ200A、200Bは、マトリクス配置されたダイナミック型のメモリセルを備え、図に従えば、同一列に配置されたメモリセルの選択端子は列毎のワード線（図示せず）に結合され、同一行に配置されたメモリセルのデータ入出力端子は行毎に相補データ線（図示せず）に結合される。

【0020】上記メモリアレイ200Aの図示しないワ

ード線はロウデコーダ201Aによるロウアドレス信号のデコード結果に従って1本が選択レベルに駆動される。メモリアレイ200Aの図示しない相補データ線はセンスアンプ及びカラム選択回路202Aに結合される。センスアンプ及びカラム選択回路202Aにおけるセンスアンプは、メモリセルからのデータ読出しによってそれぞれの相補データ線に現れる微小電位差を検出して増幅する増幅回路である。それにおけるカラムスイッチ回路は、相補データ線を各別を選択して相補共通データ線に導通させるためのスイッチ回路である。カラムスイッチ回路はカラムデコーダ203Aによるカラムアドレス信号のデコード結果に従って選択動作される。メモリアレイ200B側にも同様にロウデコーダ201B、センスアンプ及びカラム選択回路202B、カラムデコーダ203Bが設けられる。上記相補共通データ線204は、入出力部210を介してデータ入出力端子I00～I03に接続される。

【0021】アドレス入力端子A0～A11から供給されるロウアドレス信号とカラムアドレス信号はカラムアドレスバッファ205とロウアドレスバッファ206にアドレスマルチプレクス形式で取り込まれる。供給されたアドレス信号はそれぞれのバッファが保持する。ロウアドレスバッファ206は、リフレッシュ動作モードにおいて、リフレッシュカウンタ208から出力されるリフレッシュアドレス信号をロウアドレス信号として取り込む。カラムアドレスバッファ205の出力はカラムアドレスカウンタ207のプリセットデータとして供給され、カラムアドレスカウンタ207は、動作モードに応じて、上記プリセットデータとしてのカラムアドレス信号、又はそのカラムアドレス信号を順次インクリメントした値を、カラムデコーダ203A、203Bに向けて出力する。

【0022】コントローラ212は、特に制限されないが、クロック信号CLK、クロックイネーブル信号CKE、チップセレクト信号CS\*（記号\*はローイネーブル又は信号反転を意味する）、カラムアドレスストロブ信号CAS\*、ロウアドレスストロブ信号RAS\*、及びライトイネーブル信号WE\*などの外部制御信号と、アドレス入力端子A0～A11からの制御データなどが供給され、それら信号のレベルや変化のタイミングなどに基づいてSDRAMの動作モード及び上記回路ブロックの動作を制御するための内部タイミング信号を形成するもので、そのためのコントロールロジック（図示せず）とモードレジスタ300を備える。上記クロック信号CLK、クロックイネーブル信号CKEや、チップセレクト信号CS\*などの各種制御信号は、CPU31からシステムバスBUSを介して伝達される。

【0023】クロック信号CLKはSDRAM15のマスタクロックとされる。チップセレクト信号CS\*はそのローレベルによってコマンド入力サイクルの開始を指

示する。チップセレクト信号CS\*がハイレベルのとき(チップ非選択状態)、その他の信号入力は意味を持たない。ただし、メモリバンクの選択状態やバースト動作などの内部動作はチップ非選択状態への変化によって影響されない。RAS\*、CAS\*、WE\*の各信号は、コマンドサイクルを定義するときに有意の信号とされる。クロックイネーブル信号CKEは次のクロック信号の有効性を指示する信号であり、当該信号CKEがハイレベルであれば次のクロック信号CLKの立ち上がりエッジが有効とされ、ローレベルのときは無効とされる。上記ロウアドレス信号は、クロック信号CLKの立ち上がりエッジに同期するロウアドレスストローブ・バンクアクティブコマンドサイクルにおける端子A0~A11のレベルによって定義される。

【0024】端子A11からの入力は、上記ロウアドレスストローブ・バンクアクティブコマンドサイクルにおいてバンク選択信号とみなされる。すなわち、A11の入力がローレベルのときはメモリバンクAが選択され、ハイレベルのときはメモリバンクBが選択される。メモリバンクの選択制御は、特に制限されないが、選択メモリバンク側のロウデコーダのみの活性化、非選択メモリバンク側のカラムスイッチ回路の全非選択、選択メモリバンク側のみの入出力部210への接続などの処理によって行うことができる。

【0025】プリチャージコマンドサイクルにおける端子A11の入力は相補データ線などに対するプリチャージ動作の態様を指示し、そのハイレベルはプリチャージの対象が双方のメモリバンクであることを指示し、そのローレベルは、A11で指示されている一方のメモリバンクがプリチャージ対象であることを指示する。上記カラムアドレス信号は、クロック信号CLKの立ち上がりエッジに同期するリード又はライトコマンドサイクルにおける端子A0~A7のレベルによって定義される。そして、このようにして定義されたカラムアドレスはバーストアクセスのスタートアドレスとされる。

【0026】図1には上記入出力部210の構成例が示される。

【0027】入出力部210は、特に制限されないが、16個のアンプ群A0~A15と、16本のグローバルI/O線GIO0~GIO15と、16個の入出力回路B0~B15を含む。

【0028】個々のアンプ群15は、特に制限されないが、4個のメインアンプと、4個のライトアンプを含み、カラム選択によって1個のメインアンプと1個のライトアンプとが選択的にグローバルI/O線GIO0~GIO15に結合されるようになっている。

【0029】語構成が×16の場合には、アンプ群A0~A15をそれぞれIO0~IO15に割り付け、グローバルI/O線GIO0~GIO15に結合させる。このとき、グローバルI/O線はそれぞれリード/ライト

共通とされる。

【0030】語構成が×8の場合には、アンプ群A0、A1をIO0に割り付け、グローバルI/O線GIO0、GIO1に結合させる。このとき、グローバルI/O線は、リード(Read)と、ライト(Write)とが分離される。

【0031】語構成が×4の場合には、アンプ群A0、A1、A2、A3をIO0に割り付け、グローバルI/O線GIO0、GIO1、GIO2、GIO3に結合させ、アンプ群A12、A13、A14、A15をIO3に割り付け、グローバルI/O線GIO12、GIO13、GIO14、GIO15に結合させる。このとき、GIO0、GIO1の配線間を埋めて1本のGIO0-1とし、グローバルI/O線リード(GIO0-1)/Write(GIO2、GIO3)に分離する。他のグローバルI/O線についても同様とされる。

【0032】上記グローバルI/O線の割り付け等の変更は、特に制限されないが、最上位層のマスクパターンを変更するメタルオプションによって行われる。

【0033】グローバルI/O線の割り付け等について、さらに詳細に説明する。

【0034】図2には上記入出力部210における語構成が×16に設定された場合が示される。

【0035】一つのIO当たり一つのアンプ群及び一つのグローバルI/O線が割り付けられ、割り付けられたグローバルI/O線はリード/ライト共通となっている。例えばIO0においてアンプ群A0の入出力端子は、アンプ側信号配線R0-16、W0-16を介してグローバルI/O線GIO0に結合され、IO1においてアンプ群A1の入出力端子は、アンプ側信号配線R1-16、W1-16を介してグローバルI/O線GIO1に結合され、IO2においてアンプ群A2の入出力端子は、アンプ側信号配線R2-16、W2-16を介してグローバルI/O線GIO2に結合される。同様に、IO3~IO15においてアンプ群A3~A15の入出力端子は、それぞれアンプ側信号配線R3-16~R15-16、W3-16~W15-16を介してグローバルI/O線GIO3~GIO15に結合される。また、IO0において入出力回路B0の入出力端子は、入出力回路側信号配線PR0、PW0を介してグローバルI/O線GIO0に結合され、IO1において入出力回路B1の入出力端子は、入出力回路側信号配線PR1、PW1を介してグローバルI/O線GIO1に結合され、IO2において入出力回路B2の入出力端子は、入出力回路側信号配線PR2、PW2を介してグローバルI/O線GIO2に結合される。同様にIO3~IO15において入出力回路B3~B15の入出力端子は、それぞれ入出力回路側信号配線PR3~PR15、PW3~PW15を介してグローバルI/O線GIO3~GIO15に結合される。ここで、入出力回路B0~B15は、メ

モリセルからの読み出し信号を外部出力するための出力バッファと、外部から書き込み信号を取り込むための入力バッファとを含む。

【0036】そして、上記入出力回路B0～B15は、それぞれパッド側信号線P0～P15を介してパッドBP0～BP15に結合される。パッドBP0～BP15は、図示されない外部ピンにボンディングにより結合されて、外部との間で信号のやり取りが可能とされる。

【0037】図3には、上記入出力部210における語構成が×8に設定された場合が示される。

【0038】語構成が×8の場合、一つのIO当たり二つのアンプ群及び二つのグローバルI/O線が割り付けられ、リード系I/O線とライト系I/O線とが分離されている。

【0039】例えば、グローバルI/O線GIO0には、アンプ群A0、A1におけるメインアンプの出力端子がそれぞれアンプ側信号配線R0-8、R1-8を介して結合され、グローバルI/O線GIO1には、アンプ群A0、A1におけるライトアンプの入力端子がそれぞれアンプ側信号配線W0-8、W1-8を介して結合される。そして、グローバルI/O線GIO0、GIO1には、入出力回路側信号線PR0、PW0を介して入出力回路B0が結合される。

【0040】グローバルI/O線GIO2には、アンプ群A2、A3におけるメインアンプの出力端子がそれぞれアンプ側信号配線R2-8、R3-8を介して結合され、グローバルI/O線GIO3には、アンプ群A2、A3におけるライトアンプの入力端子がそれぞれアンプ側信号配線W2-8、W3-8を介して結合される。そして、グローバルI/O線GIO2、GIO3には、入出力回路側信号線PR2、PW2を介して入出力回路B2が結合される。

【0041】また、グローバルI/O線はリード系とライト系とが交互に配置されている。このような配置は、リード系同士、あるいはライト系同士を隣接配置する場合に比べて隣接IOへのクロストーク防止を図る上で有効とされる。

【0042】グローバルI/O線GIO4～GIO15についても上記の場合と同様にアンプ群及び入出力回路が結合される。

【0043】ここで、本SDRAM15の比較対照とされるSDRAMにおいて語構成が×8に設定された場合には、図20に示されるように、一つのIO当たり二つのアンプ群及び一つのグローバルI/O線が割り付けられ、リード/ライトが共通となっている。このため、語構成が×16の場合(図2参照)の場合に比べて、アンプ群や入出力回路から見たファンアウト数が2倍(=16)になり、その結果、×8の場合のグローバルI/O線での信号遅延時間は、×16の場合に比べて、約10%低下する。

【0044】それに対して、図3に示される回路構成では、図20に示される回路に比べてアンプ群や入出力回路から見たファンアウト数を1/2(=8)にすることができ、グローバルI/O線での信号遅延時間を低減することができる。この結果、図20に示される回路に比べて約20%、×16の場合に比べて約3%早くなる。

【0045】図4には、上記入出力部210における語構成が×4に設定された場合が示される。

【0046】語構成が×4の場合には、一つのIO当たり4個のアンプ群及び3本のグローバルI/O線が割り付けられ、リード系I/O線とライト系I/O線とが分離されている。このとき、リード側のグローバルI/O線は、語構成×16におけるGIO0とGIO1との間、GIO4とGIO5との間、GIO8とGIO9との間、GIO12とGIO13との間が埋められることで、それぞれ1本の幅広配線GIO0-1、GIO4-5、GIO8-9、GIO12-13としている。また、ライト側のグローバルI/O線は、一つのIO当たり2本が割り付けられ、それぞれ対応する別々の入出力回路に接続されている。

【0047】例えば、グローバルI/O線GIO0-1には、アンプ群A0～A3におけるメインアンプの出力端子に結合されるとともに、入出力回路B0における出力バッファの入力端子に結合される。この入出力回路B0はパッドBP0に結合される。また、このパッドBP0には配線P0-2を介して入出力回路B2が結合される。これはライト時についてのみ、入出力回路B0と同時に入出力回路B2も動作させることで負荷を分担するようにしたものである。

【0048】ここで、本SDRAM15の比較対照とされるSDRAMにおいて語構成が×4に設定された場合には、図21に示されるように、一つのIO当たり4個のアンプ群が割り付けられ、リード/ライトが共通となっている。このため、語構成が×4の場合には、語構成が×16の場合(図2参照)に比べてファンアウト数が4倍の32になる。この結果、グローバルI/O線での遅延時間は×16の場合に比べて約40%遅くなる。

【0049】それに対して、図4に示される構成では、図21に示される回路に比べて、ファンアウト数及び配線抵抗が低減される。例えばリード時にはファンアウト数が32から16に低減され、グローバルI/O線の幅広配線により、そこでの配線抵抗が約1/3に低減される。ライト時はファンアウト数が32から8になる。この結果、グローバルI/O線での遅延時間は、図21に示される回路に比べて約1/2になり、×16の場合に比べて約30%早くなる。

【0050】上記した例によれば、以下の作用効果を得ることができる。

【0051】(1) 語構成が×8の場合、一つのIO当たり二つのアンプ群及び二つのグローバルI/O線が割



り付けられ、リード系I/O線とライト系I/O線とが分離されているため、図20に示される回路に比べてアンプ群や入出力回路から見たファンアウト数を1/2

(=8)にすることができ、負荷の低減によりグローバルI/O線での信号遅延時間を低減することができる。

【0052】(2) 語構成が×4の場合には、リード側のグローバルI/O線は、語構成×16におけるGIO0、GIO1間、GIO4、GIO5間、GIO8、GIO9間、GIO12、GIO13との間が埋められることで、それぞれ1本の幅広配線GIO0-1、GIO4-5、GIO8-9、GIO12-13とされるから、そこでの配線抵抗が約1/3に低減される。また、リード時にはファンアウト数が32から16に低減される。これにより、グローバルI/O線での遅延時間を大幅に低減することができる。

【0053】入出力部210の別の構成例について説明する。

【0054】図5には、語構成が×8の場合が示される。

【0055】一つのIO当たり2個のアンプ群が及びグローバルI/O線が割り付けられ、リード/ライトが共通となっている。このとき、グローバルI/O線は、語構成×16におけるGIO0とGIO1との間、GIO2とGIO3との間、GIO4とGIO5との間、GIO6とGIO7との間、GIO8とGIO9との間、GIO10とGIO11との間、GIO12とGIO13との間、GIO14とGIO15との間が埋められることで、幅広のグローバルI/O線GIO0-1、GIO2-3、…、GIO12-13、GIO14-15が形成される。幅広のグローバルI/O線GIO0-1には入出力回路B0が結合され、幅広のグローバルI/O線GIO2-3には入出力回路B2が結合される。また、幅広のグローバルI/O線GIO12-13には入出力回路B12が結合され、幅広のグローバルI/O線GIO14-15には入出力回路B14が結合される。

【0056】上記のようにグローバルI/O線が幅広とされることで、そこでの配線抵抗値が低減され、グローバルI/O線での遅延時間が低減される。

【0057】図6には、語構成が×4の場合が示される。

【0058】一つのIO当たり4個のアンプ群及び2本のグローバルI/O線が割り付けられ、リード系I/O線とライト系I/O線とが分離されている。また、グローバルI/O線は、語構成×16におけるGIO0とGIO1との間、GIO2とGIO3との間、GIO4とGIO5との間、GIO6とGIO7との間、GIO8とGIO9との間、GIO10とGIO11との間、GIO12とGIO13との間、GIO14とGIO15との間が埋められることで、幅広のグローバルI/O線GIO0-1、GIO2-3、…、GIO12-13、

GIO14-15が形成される。

【0059】例えば幅広のグローバルI/O線GIO0-1に、アンプ群A0~A3におけるメインアンプの出力端子、及び入出力回路B0における出力バッファの入力端子が結合され、幅広のグローバルI/O線GIO2-3にアンプ群A0~A3におけるライトアンプの入力端子、及び入出力回路B0における入力バッファの出力端子が結合される。

【0060】図21に示される語構成×4の場合に比べて、ファンアウト数の低減及び配線抵抗の低減を図ることができる。例えばリード/ライト時ともにファンアウト数が32から16に低減され、配線抵抗が約1/3に低減される。それによりグローバルI/O線での信号遅延を低減させることができる。

【0061】図7には別の構成例が示される。

【0062】語構成は×4とされる。一つのIO当たり4個のアンプ群及び1本のグローバルI/O線が割り付けられて、リード/ライトが共通とされる。このとき、語構成が×16におけるGIO0、GIO1、GIO2、GIO3の配線間が埋められて幅広のグローバルI/O線GIO0-3が形成され、GIO12、GIO13、GIO14、GIO15の配線間が埋められて幅広のグローバルI/O線GIO12-15が形成される。また、図示されないが、GIO4、GIO5、GIO6、GIO7の配線間が埋められて幅広のグローバルI/O線が形成され、GIO8、GIO9、GIO10、GIO11の配線間が埋められて幅広のグローバルI/O線が形成され、GIO12、GIO13、GIO14、GIO15の配線間が埋められて幅広のグローバルI/O線が形成される。このように幅広のグローバルI/O線が形成されることで、図21に示される構成に比べてグローバルI/O線での配線抵抗を約1/6に低減することができ、それにより、グローバルI/O線での遅延時間を低減することができる。

【0063】図8には別の構成例が示される。

【0064】語構成は×4とされる。一つのIO当たり4個のアンプ群及び4本のグローバルI/O線が割り付けられ、リード系I/O線とライト系I/O線とが分離されている。このとき、リード側のグローバルI/O線は一つのIO当たり2本が割り付けられ、入出力回路の手前に、スイッチSW0が設けられて、配線PR0とPR0'が選択的に入出力回路B0に入力されるようになっている。また、ライトのグローバルI/O配線は一つのIO当たり2本を割り付け、それぞれ駆動する別々の入出力回路に入力される。例えばIO0では、グローバルI/O線GIO2とGIO3とがライト用に割り付けられている。

【0065】かかる構成によれば、図21に示される回路に比べて、リード、ライト共に一つのアンプ群当たりのファンアウト数が32から16又は8に低減される。



【0066】図10には上記スイッチSW0の構成例が示される。

【0067】nチャンネル型MOSトランジスタ102とpチャンネル型MOSトランジスタ103とが並列接続されてCMOSトランスファが形成され、nチャンネル型MOSトランジスタ104とpチャンネル型MOSトランジスタ105とが並列接続されてCMOSトランスファが形成される。アドレス選択信号AM0がnチャンネル型MOSトランジスタ102のゲート電極に入力されるとともに、インバータ101を介してpチャンネル型MOSトランジスタ103のゲート電極に入力される。そして、アドレス選択信号AM0'はnチャンネル型MOSトランジスタ104のゲート電極に入力されるとともに、インバータ106を介してpチャンネル型MOSトランジスタ105のゲート電極に入力される。アドレス選択信号AM0、AM0'は、それぞれ配線PR0、PR0'につながるアンプ群の活性化信号であり、活性化されたアンプ群に対応するCMOSトランスファが導通状態にされることで、配線PR0又はPR0'が入出力回路B0へ選択的に結合される。この結果、アンプ群1個当たりのファンアウト数は、8となり、図21に示される構成での32に比べて大幅に低減される。

【0068】尚、図9に示されるように、配線PR0、PR0'が結合させて入出力回路B0に結合されるようにスイッチSW0の内部を構成することができる。この場合、厳密にはスイッチというより合成回路と見ることができるが、かかる構成により、一つのアンプ群当たりのファンアウト数は32から16に低減される。

【0069】上記のグローバルI/O線の割り付けは、メタルオプションによって行われたが、ボンディングオプションにより実現することができる。

【0070】図11にはボンディングオプションによりグローバルI/O線の割り付けを可能とする切り換え回路が示される。この切り換え回路は、アンプ群の数と同数だけ設けられるが、それらは互いに同一構成であるため、図11ではアンプ群A0に対応するものが示される。

【0071】ボンディングのためのパッドCN1、CN2が設けられる。このパッドCN1、CN2がボンディングによりハイレベル又はローレベルに固定された場合の2ビット論理をデコードするためのデコーダ111が設けられ、このデコーダの出力信号S4、S8、S16によって制御されるスイッチSWBR-0、SWBW-0が設けられる。スイッチSWBR-0により、アンプ群A0におけるメインアンプの出力端子(4個)が、×16の場合の信号線R0-16、×8の場合の信号線R0-8、×4の場合の信号線R0-4に選択的に結合される(図1参照)。また、スイッチSWBW-0により、アンプ群A0におけるライトアンプの入力端子(4個)が、×16の場合の信号線W0-16、×8の場合

の信号線W0-8、×4の場合の信号線W0-4に選択的に結合される(図1参照)。

【0072】図12には上記スイッチSWBR-0の構成例が示される。

【0073】pチャンネル型MOSトランジスタ122とnチャンネル型MOSトランジスタ123とが並列接続されてCMOSトランスファが形成され、pチャンネル型MOSトランジスタ125とnチャンネル型MOSトランジスタ126とが並列接続されてCMOSトランスファが形成され、pチャンネル型MOSトランジスタ128とnチャンネル型MOSトランジスタ129とが並列接続されてCMOSトランスファが形成される。デコーダ111の出力信号S16がnチャンネル型MOSトランジスタ123のゲート電極に、また、インバータ121を介してpチャンネル型MOSトランジスタ122のゲート電極に伝達されるようになっている。デコーダ111の出力信号S8がnチャンネル型MOSトランジスタ126のゲート電極に、また、インバータ124を介してpチャンネル型MOSトランジスタ125のゲート電極に伝達されるようになっている。デコーダ111の出力信号S4がnチャンネル型MOSトランジスタ129のゲート電極に、また、インバータ127を介してpチャンネル型MOSトランジスタ128のゲート電極に伝達されるようになっている。デコーダ111の出力信号S16、S8、S4のいずれかがハイレベルにアサートされるかによって、アンプ群A0におけるメインアンプの出力端子が、信号配線R0-16、R0-8、R0-4のいずれかに結合される。

【0074】図13には上記スイッチSWBW-0の構成例が示される。

【0075】pチャンネル型MOSトランジスタ132とnチャンネル型MOSトランジスタ133とが並列接続されてCMOSトランスファが形成され、pチャンネル型MOSトランジスタ135とnチャンネル型MOSトランジスタ136とが並列接続されてCMOSトランスファが形成され、pチャンネル型MOSトランジスタ138とnチャンネル型MOSトランジスタ139とが並列接続されてCMOSトランスファが形成される。デコーダ111の出力信号S16がnチャンネル型MOSトランジスタ133のゲート電極に、また、インバータ131を介してpチャンネル型MOSトランジスタ132のゲート電極に伝達されるようになっている。デコーダ111の出力信号S8がnチャンネル型MOSトランジスタ136のゲート電極に、また、インバータ134を介してpチャンネル型MOSトランジスタ135のゲート電極に伝達されるようになっている。デコーダ111の出力信号S4がnチャンネル型MOSトランジスタ139のゲート電極に、また、インバータ137を介してpチャンネル型MOSトランジスタ138のゲート電極に伝達されるようになっている。デコーダ111の出

力信号S16, S8, S4のいずれがハイレベルにアサートされるかによって、アンプ群A0におけるメインアンプの出力端子が、信号配線W0-16, W0-8, W0-4のいずれかに結合される。

【0076】図14には上記デコーダ111の構成例が示される。

【0077】2入力アンドゲート144, 145, 146とインバータ142, 143とが設けられる。インバータ142によってパッドCN1の論理が反転され、インバータ143によってパッドCN2の論理が反転される。アンドゲート144により、パッドCN1の論理と、パッドCN2の論理とのアンド論理が得られ、それがS16とされる。アンドゲート145により、インバータ142の出力論理とパッドCN2の論理とのアンド論理が得られ、それがS8とされる。アンドゲート146により、パッドCN1の論理とインバータ143の出力論理とのアンド論理が得られ、それがS4とされる。

【0078】図15には、上記パッドCN1, CN2の論理と、デコーダ111の出力論理との関係が示される。

【0079】図16には入出力部210の別の構成例が示される。

【0080】図16に示される入出力部210は、DDR (Double Data Rate: ダブル・データ・レート) のSDRAMに含まれるもので、グローバルI/O線の割り付け変更を、DDRのSDRAMと、通常 (Single Data Rate: シングル・データ・レート) のSDRAMとの変換に対応させることができる。

【0081】図16に示されるアンプ群A0~A15は、それぞれ8個のメインアンプと8個のライトアンプとが設けられている。DDRのSDRAMにおける語構成×8では、一つのIO当たり2個のメインアンプ及び2本のグローバルI/O線が割り付けられ、偶数 (even)、奇数 (odd) に対応してそれぞれリード/ライトが共通となっている。例えば、グローバルI/O線GIO0Eは、アンプ群A0の入出力端子に結合されるとともに入出力回路B0に結合され、グローバルI/O線GIO0Oは、アンプ群A1の入出力端子に結合されるとともに入出力回路B0に結合される。また、グローバルI/O線GIO2Eは、アンプ群A2の入出力端子に結合されるとともに入出力回路B2に結合され、グローバルI/O線GIO2Oは、アンプ群A3の入出力端子に結合されるとともに入出力回路B2に結合される。他のグローバルI/O線も同様に結合される。

【0082】ここで、上記構成から、メタルオプション又はボンディングオプションにより、通常のSDRAMに変更する場合を考える。

【0083】SDRAMの語構成×8に対しては、図3又は図5に示される構成に変更される。メタルオプション

又はボンディングオプションにより、図3又は図5に示される構成に変更された場合には、図20に示される回路に変更されるのに比べてアンプ群1個当たりのファンアウト数を1/2 (=8) にすることができ、グローバルI/O線での信号遅延時間を低減することができる。

【0084】図17にはDDRのSDRAMにおいて語構成が×4とされる場合が示される。

【0085】一つのIO当たり4個のアンプ群及び4本のグローバルI/O線が割り付けられ、偶数 (even)、奇数 (odd) に対応してそれぞれリード/ライトが分離されている。例えば、グローバルI/O線GIO0E-Rはアンプ群A0, A2におけるメインアンプの出力端子に結合されるとともに、入出力回路B0における出力バッファの入力端子に結合され、グローバルI/O線GIO0E-Wはアンプ群A0, A2におけるライトアンプの入力端子に結合されるとともに、入出力回路B0における入力バッファの出力端子に結合される。また、グローバルI/O線GIO0O-Rはアンプ群A1, A3におけるメインアンプの出力端子に結合されるとともに、入出力回路B0における出力バッファの入力端子に結合され、グローバルI/O線GIO0O-Wはアンプ群A1, A3におけるライトアンプの入力端子に結合されるとともに、入出力回路B0における入力バッファの出力端子に結合される。他のグローバルI/O線についても同様に結合される。

【0086】語構成が×4の場合、図4、図6、図7、図8に示されるように変更することにより、アンプ群1個当たりのファンアウト数を低減することができる。

【0087】図18には、DDRにおける語構成×4の場合の構成例が示される。

【0088】DDRにおける語構成×4の場合、一つのIO当たり4個のアンプ群及び2本のグローバルI/O線が割り付けられ、偶数 (even)、奇数 (odd) に対してそれぞれリード/ライト共通になっている。このとき、グローバルI/O線はDDRの語構成×4 (図17参照) におけるGIO0E-R, GIO0E-W間、GIO0O-R, GIO0O-W間、…、GIO12E-R, GIO12E-W間、GIO12O-R, GIO12O-W間を埋めることで幅広のグローバルI/O線GIO0E, GIO0O, …, GIO12E, GIO12Oが形成される。このようにグローバルI/O線を幅広とすることは、例えば図19に示されるように、グローバルI/O線を不使用 (unused) としておく場合に比べて、グローバルI/O線の配線抵抗を低減することができ、信号遅延を低減することができる。

【0089】また、図18に示される構成から、メタルオプション又はボンディングオプションにより通常のSDRAMに変更する場合を考える。

【0090】語構成が×8の場合には、図3又は図5に

示される構成に変更することで、ファンアウト数の低減を図ることができる。

【0091】また、語構成が×4の場合には図4、図6、図7、図8に示される構成に変更することで、ファンアウト数の低減を図ることができる。

【0092】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0093】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるSDRAMに適用した場合について説明したが、本発明はそれに限定されるものではなく、各種半導体記憶装置に広く適用することができる。

【0094】本発明は、少なくとも読み出しデータの外部出力及び外部からの書き込みデータの取り込みを可能とする入出力回路と、読み出しデータを増幅するための第1アンプ及び書き込みデータを増幅するための第2アンプとが複数個形成されて成るアンプ群と、上記入出力回路とアンプ群との間に配置され、上記読み出しデータを上記アンプ群から上記入出力回路へ伝達すると共に、上記書き込みデータを上記入出力回路から上記アンプ群に伝達するためのグローバルI/O線とを含むことを条件に適用することができる。

【0095】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0096】すなわち、グローバルI/O線をリード系とライト系とに分離し、入出力に対する上記グローバルI/O線の割り付けを変更することにより、負荷の低減化により遅延時間の増大を抑えることができ、半導体記憶装置の動作の高速化、さらにはそれを含むデータ処理装置の動作の高速化を図ることができる。

【0097】また、このときグローバルI/O線のリード系とライト系とを交互に配置することで、クロストークの低減を図ることができる。

【0098】さらに、語構成の変更に応じてグローバルI/O線の太さを変更することで、グローバルI/O線の配線抵抗の低減化を図ることができ、それによりグローバルI/O線での遅延時間を短縮することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体記憶装置における入出力部の構成例ブロック図である。

【図2】上記入出力部において、語構成を×16とする場合のグローバルI/O線の割り付け例を示すブロック図である。

【図3】上記入出力部において、語構成を×8とする場合のグローバルI/O線の割り付け例を示すブロック図である。

【図4】上記入出力部において、語構成を×4とする場合のグローバルI/O線の割り付け例を示すブロック図である。

【図5】上記入出力部において、語構成を×8とする場合のグローバルI/O線の別の割り付け例を示すブロック図である。

【図6】上記入出力部において、語構成を×4とする場合のグローバルI/O線の別の割り付け例を示すブロック図である。

【図7】上記入出力部において、語構成を×4とする場合のグローバルI/O線の別の割り付け例を示すブロック図である。

【図8】上記入出力部において、語構成を×4とする場合のグローバルI/O線の別の割り付け例を示すブロック図である。

【図9】図8に示されるスイッチ部の構成例回路図である。

【図10】図8に示されるスイッチ部の別の構成例回路図である。

【図11】ボンディングオプションによる語構成変更を可能とする手段の構成例ブロック図である。

【図12】図11に示されるスイッチの構成例回路図である。

【図13】図11に示されるスイッチの構成例回路図である。

【図14】図11に示されるデコーダの構成例回路図である。

【図15】上記デコーダの動作説明図である。

【図16】DDRにおいて、語構成を×8とする場合のグローバルI/O線の割り付け例を示すブロック図である。

【図17】DDRにおいて、語構成を×4とする場合のグローバルI/O線の割り付け例を示すブロック図である。

【図18】DDRにおいて、語構成を×4とする場合のグローバルI/O線の別の割り付け例を示すブロック図である。

【図19】本発明にかかる入出力回路の比較対照とされる入出力回路の構成例ブロック図である。

【図20】本発明にかかる入出力回路の比較対照とされる入出力回路の構成例ブロック図である。

【図21】本発明にかかる入出力回路の比較対照とされる入出力回路の構成例ブロック図である。

【図22】上記半導体記憶装置が適用されるデータ処理装置の全体的な構成例ブロック図である。

【図23】上記半導体記憶装置の全体的な構成例ブロック図である。

【符号の説明】

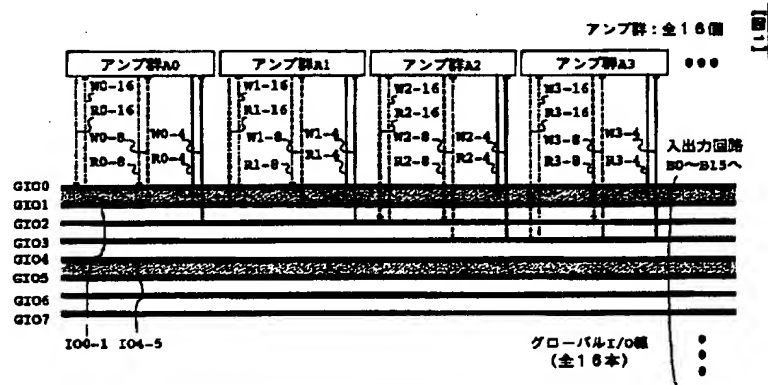
15 SDRAM

50 200A, 200B メモリアレイ

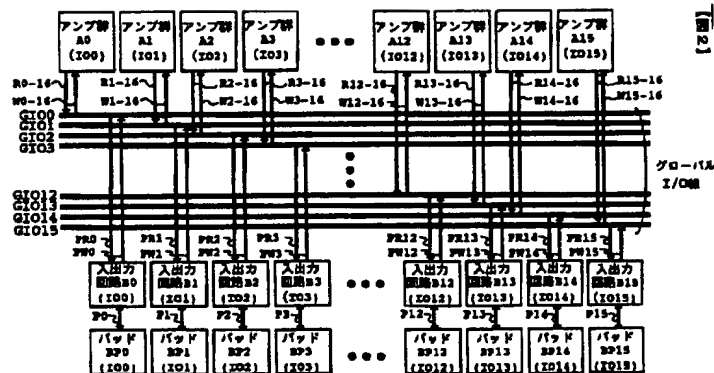
201A, 201B ロウデコーダ  
 203A, 203B カラムデコーダ  
 205 カラムアドレスバッファ  
 206 ロウアドレスバッファ  
 207 カラムアドレスカウンタ  
 208 リフレッシュカウンタ  
 210 入出力部  
 212 コントローラ  
 310 CPU  
 320 RAM

340 ROM  
 350 周辺装置制御部  
 360 表示系  
 370 CRTディスプレイ  
 380 外部記憶装置  
 390 キーボード  
 A0~A15 アンプ群  
 GIO0~GIO15 グローバルI/O線  
 B0~B15 入出力回路  
 10 BP0~BP15 パッド

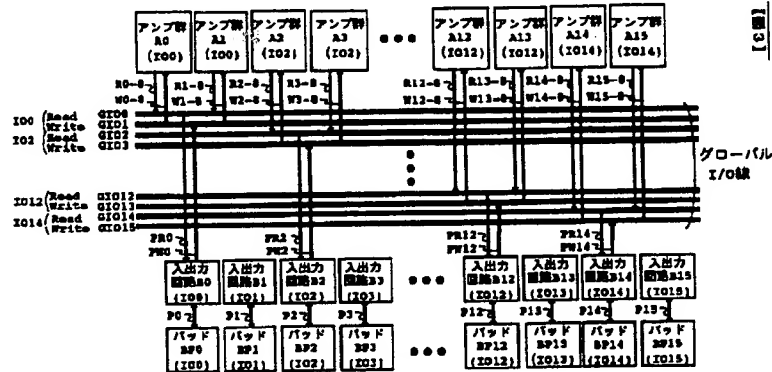
【図1】



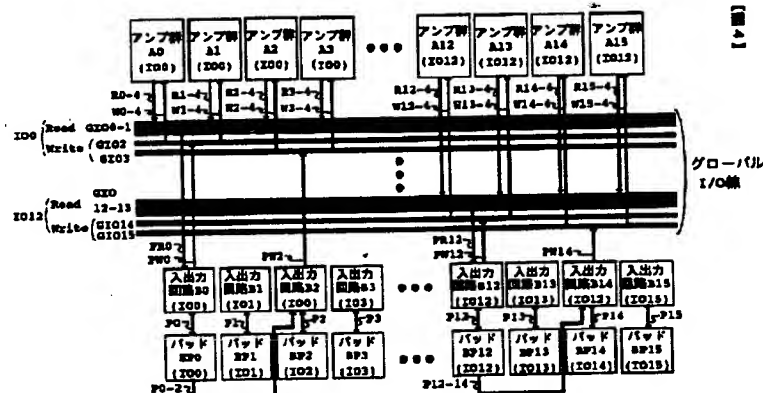
【図2】



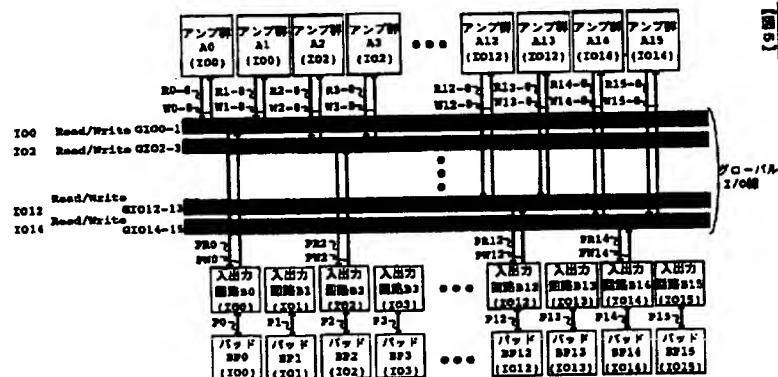
【図3】



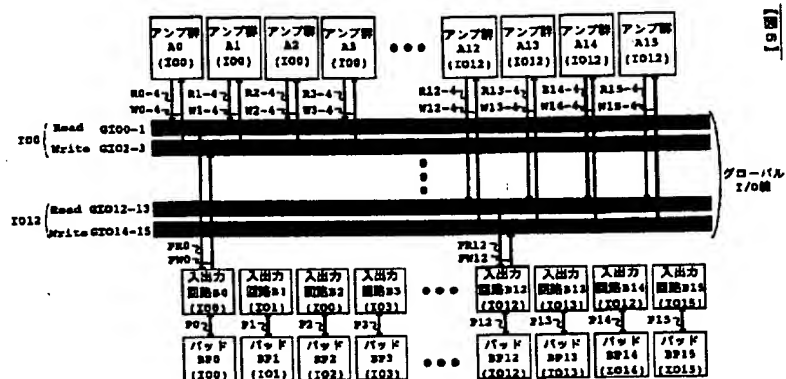
【図4】



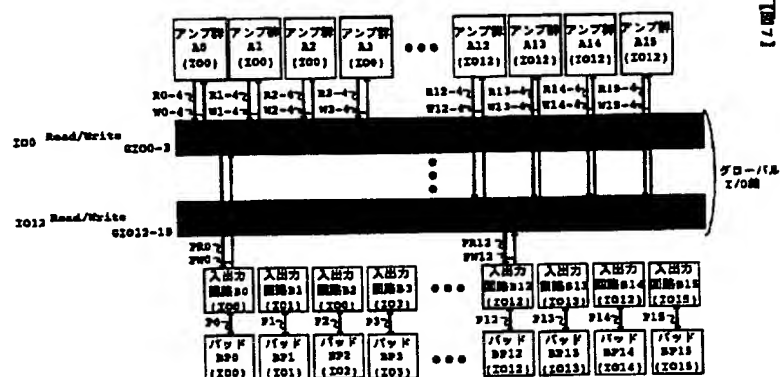
【図5】



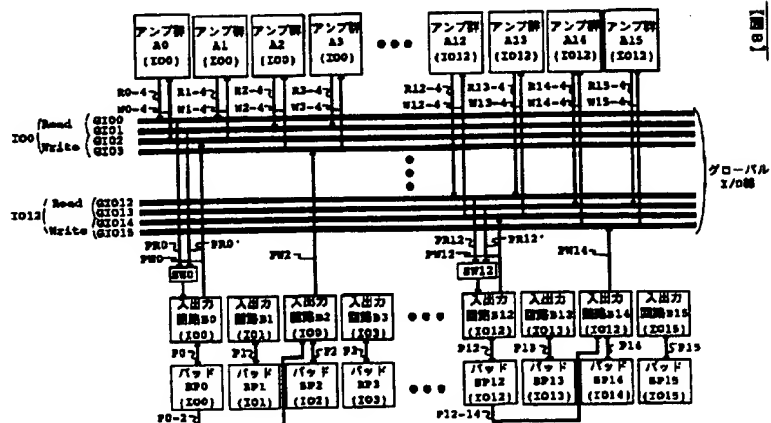
【図6】



【図7】

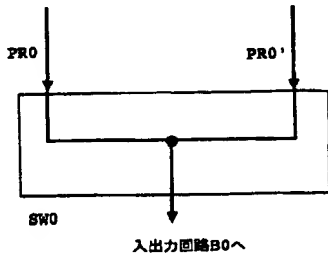


【図8】



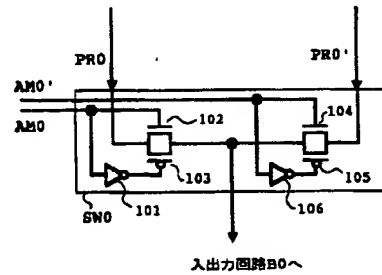
【図9】

【図9】



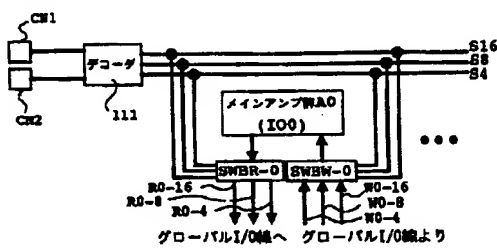
【図10】

【図10】



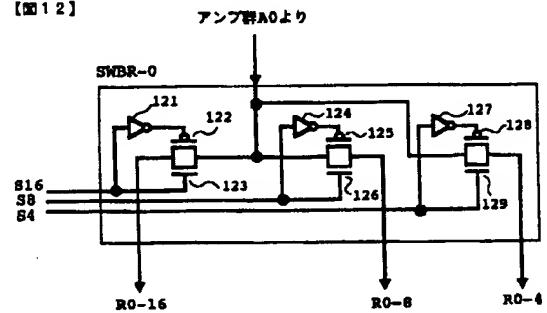
【図11】

【図11】



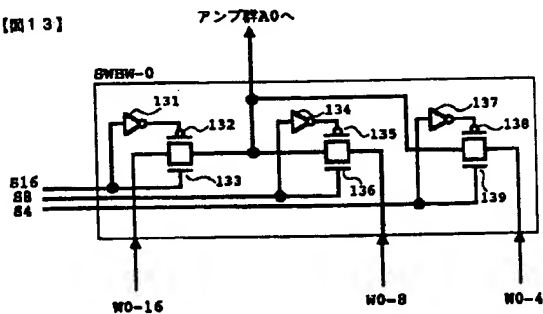
【図12】

【図12】



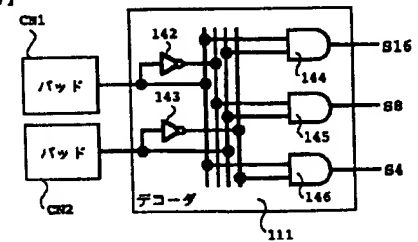
【図13】

【図13】



【図14】

【図14】



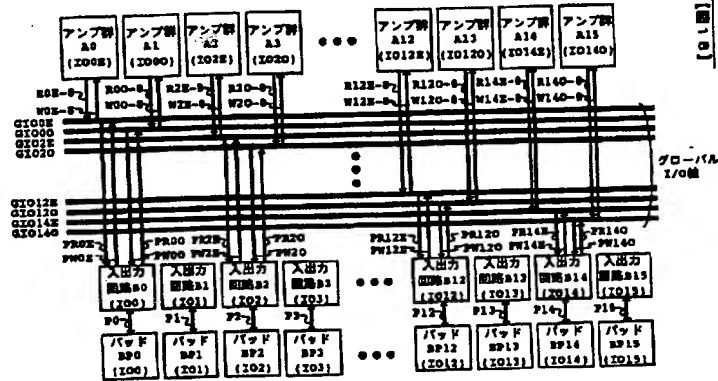
【図15】

【図15】

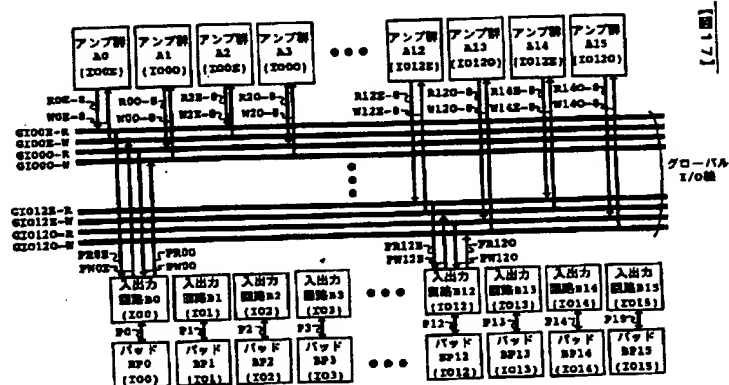
バッファCH1	バッファCH2	S16(×16)	S8(×8)	S4(×4)
1	1	1	0	0
0	1	0	1	0
1	0	0	0	1
0	0	0	0	0



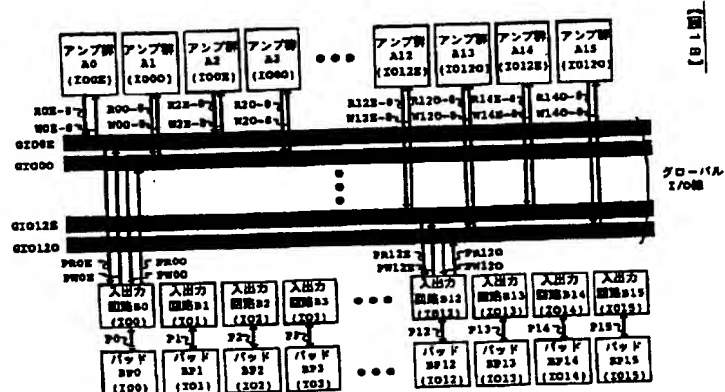
【図16】



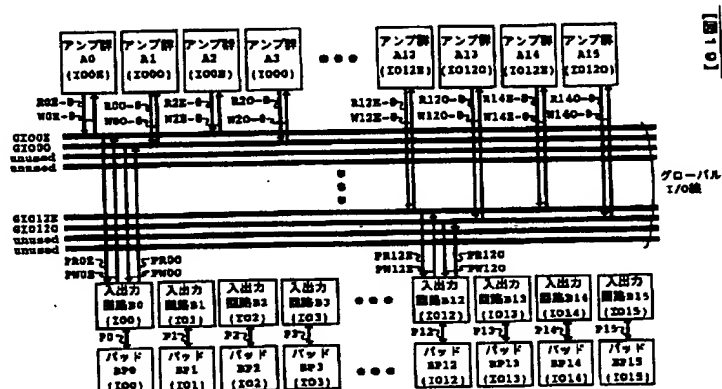
【図17】



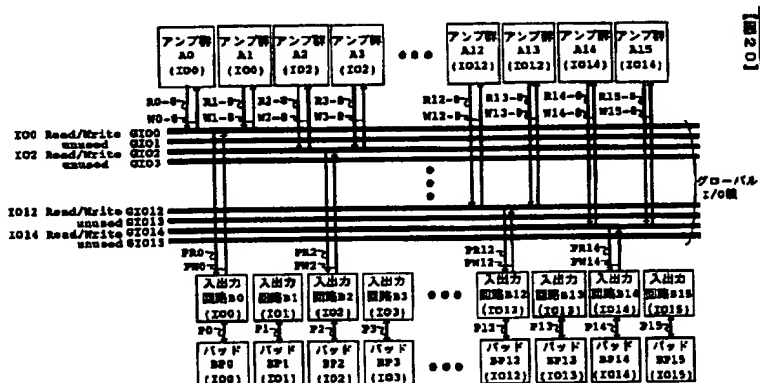
【図18】



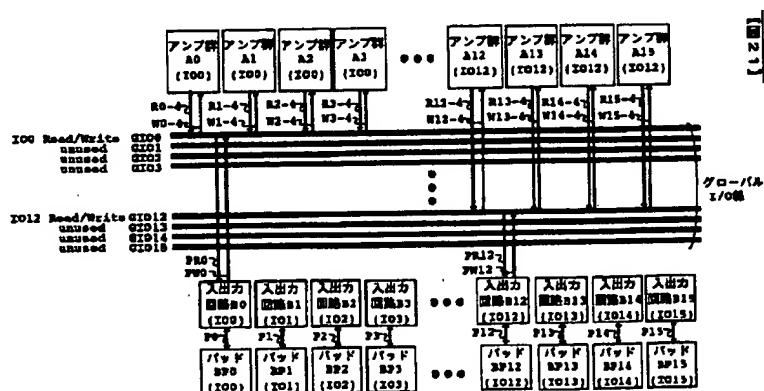
【図19】



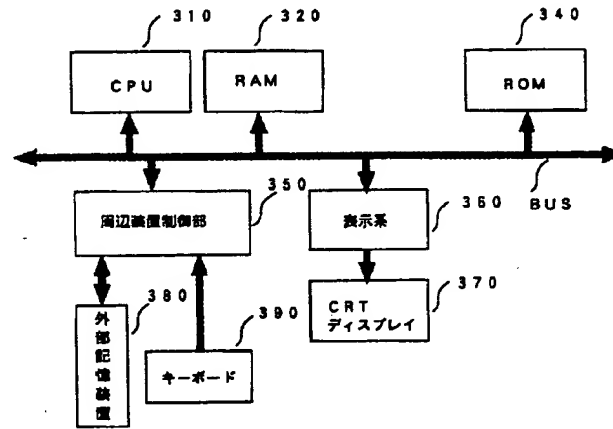
【図20】



【図21】



【図22】



【図22】

【図23】

【図23】

